

# EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

CE  
SC11850HP

PUBLICATION NUMBER : 2000286372  
PUBLICATION DATE : 13-10-00

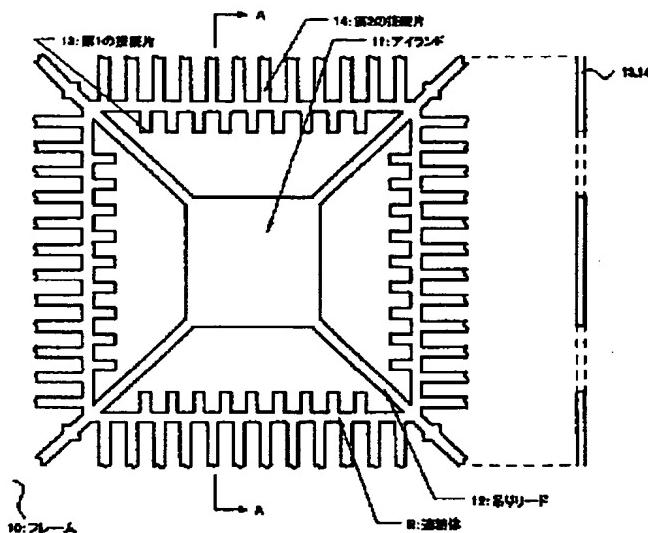
APPLICATION DATE : 30-03-99  
APPLICATION NUMBER : 11089253

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : TSUBONOYA MAKOTO;

INT.CL. : H01L 23/50

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To reduce size and cost and enhance the strength of connection by bonding a semiconductor chip to an area in a frame where the chip is to be placed, connecting connecting pieces with the semiconductor chip through a metal thin wire, sealing the workpiece with resin so that the connecting pieces are exposed, removing coupling bodies, and individually separating the connecting pieces.

SOLUTION: A frame 10 has an island 11 to bond a semiconductor chip to be formed in the center, and a coupling body R extending from each corner through suspending leads 12 is formed so that the island 11 is encircled with the coupling bodies R. First connecting pieces 13 extending toward the island 11 are integrally formed on the coupling bodies R at substantially equal intervals, and second connecting pieces 14 extending outward from the coupling bodies R are formed. The connecting pieces 13 and 14 are separated by removing the coupling bodies R. Thus, the overall size and cost of the semiconductor device are reduced and the strength of connection with a mounting board is enhanced.

COPYRIGHT: (C)2000,JPO

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-286372

(P2000-286372A)

(43)公開日 平成12年10月13日 (2000.10.13)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 23/50

識別記号

F I

テ-マコト<sup>\*</sup>(参考)

H 0 1 L 23/50

K 5 F 0 6 7

審査請求 未請求 請求項の数 8 O.L. (全 11 頁)

(21)出願番号 特願平11-89253

(22)出願日 平成11年3月30日 (1999.3.30)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 塙野谷 誠

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

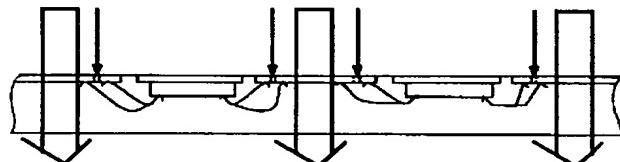
F ターム(参考) 5F067 AA01 AA10 AB04 AB07 BA03  
BB02 DF02 DF07

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 セラミック基板を採用したチップサイズパッケージに於いて、高価なセラミック基板を省略する。

【解決手段】 フレーム10に半導体チップ15を実装し、ワイヤーボンディングした後、封止する。封止の際は、接続片13、14の裏面が樹脂封止体の裏面に露出するように構成し、最終的には連結体をダイシングして取り除く。



**【特許請求の範囲】**

【請求項1】 半導体チップの配置予定領域を囲んだ連結体と、前記連結体と一体で、前記連結体からアイランドに向かい及び／または前記連結体から外側に向かって形成された接続片とを有するフレームを用意し、前記フレームの前記配置予定領域に前記半導体チップを固着し、前記接続片と前記半導体チップとを金属細線で接続し、前記接続片が露出するように樹脂封止し、前記連結体を取り除き、前記接続片を個々に分離する事を特徴とする半導体装置の製造方法。

【請求項2】 前記連結体の内側には、一体で成るアイランドが設けられ、このアイランドに前記半導体チップが固着される請求項1に記載の半導体装置の製造方法。

【請求項3】 前記連結体は、ダイシングにより取り除かれる請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】 半導体チップの配置予定領域を囲んだ連結体と、前記連結体と一体で、前記連結体からアイランドに向かい及び／または前記連結体から外側に向かって形成された接続片とを有する単位フレームがマトリックス状に形成されたフレームを用意し、

前記単位フレームの前記配置予定領域に前記半導体チップを固着し、

前記接続片と前記半導体チップとを金属細線で接続し、前記接続片が露出するように樹脂封止し、前記連結体を取り除き、前記接続片を個々に分離し、更には単位フレーム毎に分離し個々に前記半導体装置を分離する事を特徴とする半導体装置の製造方法。

【請求項5】 マトリックス状に配置された半導体チップは、連続して一体で封止され、前記連結体が取り除かれた後に、前記単位フレーム間で半導体チップが個々に分離される請求項4に記載の半導体装置の製造方法。

【請求項6】 マトリックス状に配置された半導体チップは、個々に封止され、前記連結体が取り除かれた後に、前記単位フレーム間を接続する手段を取り除くことで半導体チップが個々に分離される請求項4に記載の半導体装置の製造方法。

【請求項7】 前記連結体は、ハーフカットのダイシングで分離され、単位フレーム間の分離はフルカットのダイシングにより実現される請求項5に記載の半導体装置の製造方法。

【請求項8】 前記連結体は、ハーフカットのダイシングで分離され、単位フレーム間の分離はプレスまたはカットにより実現される請求項6に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、半導体装置に関し、リードフレームの如き、Cuフレームを用いたCS

P型の半導体装置に関するものである。

**【0002】**

【従来の技術】半導体装置は、周知事項ではあるが、ウェハの状態でマトリックス状にICが作り込まれ、このICを囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿って個々にダイシングされ、個々の半導体装置（半導体チップ）に分離形成される。そしてリードフレームに実装し、ICとリードとをワイヤボンディングしパッケージされる。

【0003】しかし携帯電話やディジタルカメラ等の軽薄短小化を受けて、半導体装置も益々小型化が要求され、最近は限りなくチップサイズに近づく技術としてCSP、ウェハスケールCSPが開発されている。

【0004】半導体チップを基板に実装し、ワイヤボンディングを採用してチップサイズを小さくするCSPとしては、例えば、特開平10-92979号公報や特開昭58-201347号公報がある。

【0005】これらの技術は、接続として信頼性の高い金属細線接続を採用しつつ、金属細線から先のリードフレームの延長を限りなく少なくするため、セラミック基板を採用し、チップサイズを小さくしたものである。

【0006】図7と図8は、その概要を説明したものである。図7に於いて、セラミック基板1には、半導体チップ2が固着され、半導体チップ2のボンディングパッドとセラミック基板1上のパッド電極3は、金属細線を介して接続される。そしてセラミック基板1は、必要によりスルーホールや多層配線が施され、ロウ材を介して実装基板と半田付けされるパッド4がセラミック基板1裏面に設けられている。半導体チップ2のボンディングパッドは、金属細線、パッド電極3、スルーホールまたは多層配線を介して裏面のパッド4と電気的に接続される。

【0007】そして図8の如く、樹脂封止体5が形成され、矢印で示した部分でダイシングされる。このダイシングは、セラミック基板の裏面側または表側どちらでも良い。またセラミック基板には割り溝が設けられ、セラミック基板の手前までダイシングし、セラミック基板は割り溝を介してブレークされても良い。

**【0008】**

【発明が解決しようとする課題】前述した構造は、リードフレームを採用したパッケージと異なり、リードがパッケージ内に取り込まれず、パッド電極が極めて小さいため、その分小さくすることができる。

【0009】しかしながらセラミック基板1は、スルーホールや多層配線を施したり、パッド電極3、パッド4にAuメッキを必要とするため、コストが上昇する問題があった。

【0010】またセラミック基板1の電極は、一般には印刷であり、実装基板との接続は、印刷電極の厚みが要因で、接続強度がそれほど高くできない問題もあった。

【0011】本発明は、前記問題点を解決するものである。

#### 【0012】

【課題を解決するための手段】本発明は上記の課題に鑑みてなされ、第1に、接続片を有するフレームを用意し、前記フレームの前記配置予定領域に前記半導体チップを固着し、前記接続片と前記半導体チップとを金属細線で接続し、前記接続片が露出するように樹脂封止し、前記連結体を取り除き、前記接続片を個々に分離する事で解決するものである。

【0013】第2に、連結体の内側に、一体で成るアイランドを設け、このアイランドに前記半導体チップを固着する事で解決するものである。

【0014】第3に、連結体を、ダイシングにより取り除く事で解決するものである。

【0015】第4に、接続片を有する単位フレームがマトリックス状に形成されたフレームを用意し、前記単位フレームの前記配置予定領域に前記半導体チップを固着し、前記接続片と前記半導体チップとを金属細線で接続し、前記接続片が露出するように樹脂封止し、前記連結体を取り除き、前記接続片を個々に分離し、更には単位フレーム毎に分離し個々に前記半導体装置を分離する事で解決するものである。

【0016】第5に、マトリックス状に配置された半導体チップは、連続して一体で封止され、前記連結体が取り除かれた後に、前記単位フレーム間で半導体チップを個々に分離する事で解決するものである。

【0017】第6に、マトリックス状に配置された半導体チップは、個々に封止され、前記連結体が取り除かれた後に、前記単位フレーム間を接続する手段を取り除くことで半導体チップを個々に分離する事で解決するものである。

【0018】第7、前記連結体は、ハーフカットのダイシングで分離され、単位フレーム間の分離はフルカットのダイシングにより実現される事で解決するものである。

【0019】請求項5に記載の半導体装置の製造方法。

【0020】第7に、前記連結体は、ハーフカットのダイシングで分離され、単位フレーム間の分離をプレスまたはカットにより実現する事で解決するものである。

【0021】例えば、Cuより成るフレームは、従来からリードフレーム技術として確立されており、また封止も従来のトランスマルチ技術で実現できる。従って封止した後、たんに連結体をダイシングやエッチング等で取り除けば実現でき、より安価で、チップサイズに近づいた半導体装置を実現できる。

【0022】また連結体を取り除くことで、この取り除いた領域の接続片は、厚み方向に側壁が露出され、この露出した側壁がロウ材に漏れることで接着強度を向上させることができる。

【0023】また、リードフレームのリードを接続片に変えることで実現で、且つ金属細線も従来のワイヤーボンディングで実現できるため、信頼性も高く、製造も容易である。

【0024】またリードフレームを採用して、チップサイズの半導体装置が実現できる。

【0025】更には、連結体をダイシングにより取り除くことで、接続片の側辺には、凹凸ができ、ロウ材との接着性が向上する。

#### 【0026】

【発明の実施の形態】次に、本発明の第1の実施形態について図1～図4を参照して説明する。図1の構成部品は、あたかも一般的なリードフレームであり、リードフレームの厚みを有した金属材料（例えばCuを主材料とする）から成るフレームである。これは、箔でも良い。この場合、取り扱いの面を考慮して、フレキシブルシートにサンドwichしても良い。これについては後述する。

【0027】まずフレーム10は、半導体チップが固着されるアイランド11がその中央に設けられ、各コーナーからは、吊りリード12を介して連結体Rがアイランド11を囲むように形成されている。この連結体Rには、アイランド11に向かう第1の接続片13が実質的に等間隔で一体配置されている。また連結体Rから外に向かい第2の接続片14が設けられている。

【0028】この接続片は、通常のリードフレームのリードに対応し、従来のリードフレームでは、リードが樹脂封止体から露出するものである。しかしこの接続片13、14は、図3の如く、樹脂封止体17と面いちで切断されるか、または0.1～0.2mm程度突出される。この突出により、実装時、接続片13、14の側面に半田フィレットを作るためである。切断の方法は、ダイシング、またはT/F（トリム・アンド・フォーミング）等が考えられる。

【0029】またこの接続片の数は、ICのボンディングパッドパッド数により決まる。つまりパッド数が少なければ、第1の接続片13…を採用すれば良く、更には、この接続片は、連結体の1側辺～4側辺を任意に選択して、この連結体Rと一体で設ければよい。また数が多い場合は、更に第2の接続片14…を採用すればよい。更にパッド数が多くなると、図13のように外側にリング状に第3の接続片22を設ければ良い。接続片のサイズにもよるが、連結体Rの外側に更に吊りリード12を介して別の連結体を形成し、アイランドに向いた接続片、外側に向いた接続片を設ければ、接続片の数を増加できる。

【0030】つまり接続片は、アイランド11を囲むように第1の接続片群13…、第2の接続片群14…、…が形成された形となる。

【0031】続いて、図2に示すように、アイランド1

1には固着材を介して半導体チップ15が固着される。フレーム10は、例えばCuを主材料とする金属でなるため、固着材としては半田等のロウ材で成るが、銀ペースト等のペースト材、接着剤でも良い。そして半導体チップ15の表面に露出されたボンディングパッドから接続片13、14まで金属細線16を介して接続される。この金属細線16は、Au、CuまたはAl等からなり、通常はワイヤーボンディングで実現される。図2で示したように、ICのボンディングパッド数が多いため、第1の接続片13…と第2の接続片14…は、連結体Rの側辺を中心に交互に突出して形成されている。別の表現をすれば、隣り合う2つの第1の接続片13、13の間に第2の接続片14が入り、連結体Rを中心に所定ピッチで左右に交互に飛び出している。この構造を採用することにより金属細線のショート防止を実現している。

【0032】続いて、図3の如く、樹脂封止体17が設けられる。この樹脂封止体17は、一例としてトランスマーケットモールド、インジェクションモールド等で実現できる。但し、接続片13、14の裏面は、樹脂封止体17と同一面を成すか、あるいは樹脂封止体17よりも若干突出して設けられる。またこの際、アイランドの絶縁を考慮する場合は、図3右図で見れば、アイランド11が接続片に対して若干上に押し上げられ、完全に埋め込まれていても良い。

【0033】更に、図4で第1の接続片13…、第2の接続片14…を個々に分離する。図4では、半導体装置18の裏面を示したものであり、ここでは第1の接続片13…、第2の接続片14…、吊りリード12およびアイランド11の裏面が露出している状態を示し、ハッキングで示す所が除去領域と成っている。

【0034】ここでは連結体Rを取り除くことで接続片13…、14…を個々に分離している。しかし本フレームは、フレーム単位をマトリックス状に形成しているので、予定のチップパッケージ側辺で接続片が切断される。

【0035】分離の簡単な方法として、ここではハッキングで示す方向に、ハッキングで示すブレード幅のダイシングを施している。

【0036】このダイシングでは、フレーム10の厚みより若干深い溝を形成すれば簡単に分離でき、また少しでも連結体Rが残るとショートの原因となるため、連結体Rの幅よりも広い幅で除かれている。また他の除去方法として、エッチングが考えられる。第2の接続片14は、樹脂封止体端まで、もしくは0.1~0.2mm出した位置で切断する。切断方法は、従来のT/Fまたは連結体Rを切断するのと同じダイシングで行う。

【0037】生産性を考慮するなら、図11、図14および図15のように、マトリックス状に半導体チップ15が実装できるフレーム10を用意し、まとめてダイシ

ングすればよい。この方法は、後述する。

【0038】以上、本発明は、安価なフレーム10を採用し、最後にダイシング等で連結体Rを取り除けば、樹脂封止体17の裏面には、チップの側辺に接続片から成る電極が形成されることになる。この接続片は、従来のリードフレームを採用したパッケージと比較して、リードに相当する接続片が短く、また外部に露出しない分全体のサイズを小さくすることができる。

【0039】また接続片のサイズは、金属細線がボンディングできるさいまであれば良いので、そのサイズも小さくできる。また連結体Rの幅は、ダイシングブレードのサイズおよび精度で決まるが、最近のダイシング装置はブレードも薄く、非常に高精度であるため、前記幅も狭くできる。従って半導体装置としてサイズの小さいものが簡単に実現できる。

【0040】またハッキングで示した溝には、接続片13、14の切断面が露出される。このまま実装基板に半田等のロウ材で固着した場合、この切断面がロウ材が濡れてフィレットが形成されるため、接着強度も増強する。またダイシングでは、その切断面に細かい筋が形成されるためロウ材との食いつきも向上する。

【0041】一方、ダイシングにより形成される溝は、別途樹脂で埋めても良い。特にダイシングにより形成された溝に於いて、半導体チップと連続している界面は、吊りリードである。そのため、耐湿性が考慮されて、ダイシング溝のコーナー部分に樹脂が塗布されても良い。また全ての溝を埋めても良い。この時もダイシングによる筋が切断面に細かく形成されるの樹脂の喰い付きが良い。

【0042】溝を絶縁樹脂で埋める場合には、接続片の裏面を樹脂封止体17よりも突出させることで、接続片13、14と実装基板とのロウ付け強度が増強する。突出させることで露出した側面にはフィレットが形成され、ロウ材の固着性強度が増す。

【0043】図5、図6は、図1のフレーム10を単位とし、この単位がマトリックス状に形成されたものを示している。

【0044】図5は、図3のパッケージ後を示し、マトリックス状に形成されたフレームの各アイランドには半導体チップが固着され、金属細線が接続されている。そして樹脂封止体は、マトリックス状のフレーム全域に設けられている。ここでアイランドは、チップよりも大きく形成されているが、小さくても良い。

【0045】そして図6の2種類の矢印で示した所で、ダイシングが施され、接続片の分離および半導体装置としてフレームからの分離が実現される。

【0046】図4で説明したように、フレーム全域にある連結体の部分がダイシングにより削り取られる。この場所を図6では4本の小さい矢印で示した。そしてフレームから半導体装置を分離するために、フルカットを行

う。この場所は、3本の大きい矢印で示した。

【0047】本方法は、通常のトランസ്ഫারモールドの如く、マトリックス状にキャビティが構成されるように金型を作っても良い。しかし本発明は、図5のよう、金型は1つのキャビティにし、端から端までのフレーム単位が全て一體で連続してモールド形成され、後にダイシングして個々に分離されている。ダイシングは、ハーフカットとフルカットの2タイプを採用し、接続片の分離と半導体装置の分離をしている。金型にマトリックス状にキャビティを形成するとなると、金型側にはキャビティとキャビティとの間にスペースが必要となる。しかしダイシングでフルカットをするならば、図6で示したフルカット領域（大きい矢印）の領域は、ブレードの間隔ですむため、その分単位フレームの実装密度を増やすことができる。

【0048】ここでアイランドは省略し、Xリードでも良い。

【0049】また図4の符号Fは、樹脂封止体の角部またはその近傍に位置し、吊りリード12の幅よりも広く形成した固定手段である。この部分は、ダイシングにより完全に分離されるので、ここでは歪み吸収手段として活用している。

【0050】つまり樹脂封止体の歪みの加わる部分は、図4の4コーナーである。そのためこのFの部分に対応する第2の固定手段を実装基板に設け、この固定手段Fと実装基板の第2の固定手段を、ロウ材、銀ペースト、接着剤等で固定する。その結果、半田ボールや半田バンプにクラックが発生するような大きな歪みが加わっても、まず固定手段にその応力が加わり、これ以外の接続部分に応力が加わらない構造となっている。具体的には、Fは、リードであり、実装基板の第2の固定手段もCuを主材料とするパターンが形成され、その間を半田付けされている。

【0051】続いて、第2の実施の形態を図9、図10を参照しながら説明する。ここでは、半導体チップ15をフレームに対してフェイスダウンで実装し、チップサイズと同じサイズの半導体装置を提供している。

【0052】半導体チップ15は、表面に半田バンプまたは半田ボールが形成され、これが黒丸の所で示され、接続片13、14と接続されている。図2では、フェイスアップのため、アイランドが必要となり、また吊りリードも必要となつたが、図9では、フェイスダウンで実現されるため、2点差線で示すアイランド、吊りリードを省略しても良い。また半田は、他のロウ材でよい。また銀ペースト等の導電ペーストでも良い。

【0053】またチップが実装された後に、半導体チップとフレームの間に樹脂が充填されても良い。

【0054】図10は、前図の裏面を示したものであり、やはり点線で示す部分の連結体Rをダイシング等で削除し、接続片13、14を個々に分離している。アイ

ランド11や吊りリード12は、省略も可能なので点線で示してある。

【0055】また本フレームは、マトリックス状に形成され、第2の接続片14が図6と同じようにフルカットされる。フルカットは、ダイシングやT/F等で良い。

【0056】本構造は、図11に示すようにウェハサイズのCSPに応用できる。

【0057】つまりウェハ20全面にマトリックス状のICを形成した後、パッセーション膜を介して半田バンプや半田ボールを形成しておく。そしてこの上に、マトリックス状に構成されたフレーム21を配置し、接続片と接続する。

【0058】その後、必要によりウェハとフレームとの間に樹脂を充填し、図6のように連結体Rをダイシングして接続片を個々に分離し、フレーム単位間に設けられた連結体Rをフルカットして個々に分離する。

【0059】ここで第1、第2の両実施例は、色々なフレームが採用できる。図11は、図12の如く、対向する2側辺に接続片13が設けられ、これがマトリックス状に成了ったフレームである。また図13の如く、アイランドを囲むように、第1の接続片13…、第2の接続片14…、第3の接続片22が設けられても良い。

【0060】一方、全実施例で用いられるフレームは、フレキシブルシートにサンドウィッチされた金属箔を用いても良い。この場合、接続ポイント（接続片、アイランド）を除いてサンドwichされる。

【0061】図16、図17は、第1の実施例、第2の実施例の断面図である。接続片13、14は、サイズも小さくダイシング時に剥がれる可能性があるため、接続片から樹脂食いつき手段Tが設けられている。この食いつき手段Tは、図4で説明すると、ダイシングラインと一致しない接続片の3側辺のどれかに設けられ、更には接続片の側面から突出して設けられ、樹脂で完全にカバーされ、アンカー効果により固定される。このアンカー効果により、連結体がダイシングで削られる時でも、接続片は樹脂から剥がれることなく固定される。

【0062】また図16では、半導体チップ15とフレームとの間には所定の間隔が設けられてあるため、接続片13の一部は、半導体チップ15の下に配置できる。これにより接続片の配置領域全域をシュリンクでき、全体のサイズを小さくすることができる。

【0063】

【発明の効果】本発明によれば、金属から成るフレームを採用し、封止された後でフレームの一構成要素である連結体を取り除くことで、接続片を個々に分離できる。また接続片のサイズは、金属細線を接続できるサイズでよく、全体としての半導体装置のサイズを小さくすることができます。

【0064】またフレームを樹脂に埋め込み、封止体の裏面に接続片を露出させて、従来のようにセラミッ

ク基板採用することなく実現できる。従ってセラミック基板を採用した従来の半導体装置に比べコストを下げる。

【0065】またフレームにフェイスダウンするタイプでは、チップサイズの半導体装置を実現できる。

【0066】またダイシングで連結体を取り除くので、この領域に露出する接続片の側面をロウ材の接続領域として活用でき、実装基板との接続強度を増強できる。

【0067】また連結体は、ダイシングで簡単に取り除けるので、工程も簡略化できる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図2】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図3】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図4】 本発明の第1の実施形態に係る半導体装置の製造方法を説明する図である。

【図5】 図1の単位フレームをマトリックス状に形成したときの図である。

【図6】 図5を個々に分離するときの分離方法を説明する図である。

【図7】 従来の半導体装置の製造方法を説明する図である。

【図8】 従来の半導体装置の製造方法を説明する図である。

【図9】 第2の実施の形態に係る半導体装置の製造方法を説明する図である。

【図10】 第2の実施の形態に係る半導体装置の製造方法を説明する図である。

【図11】 マトリックス状のフレームの説明をする図である。

【図12】 フレームの説明をする図である。

【図13】 フレームの説明をする図である。

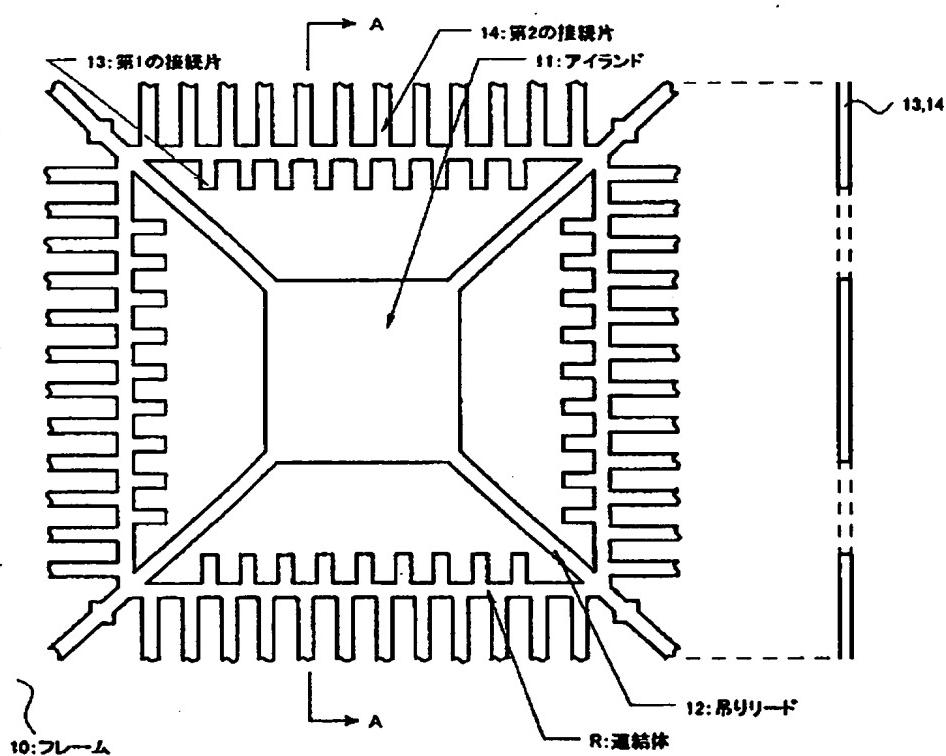
【図14】 フレームの説明をする図である。

【図15】 フレームの説明をする図である。

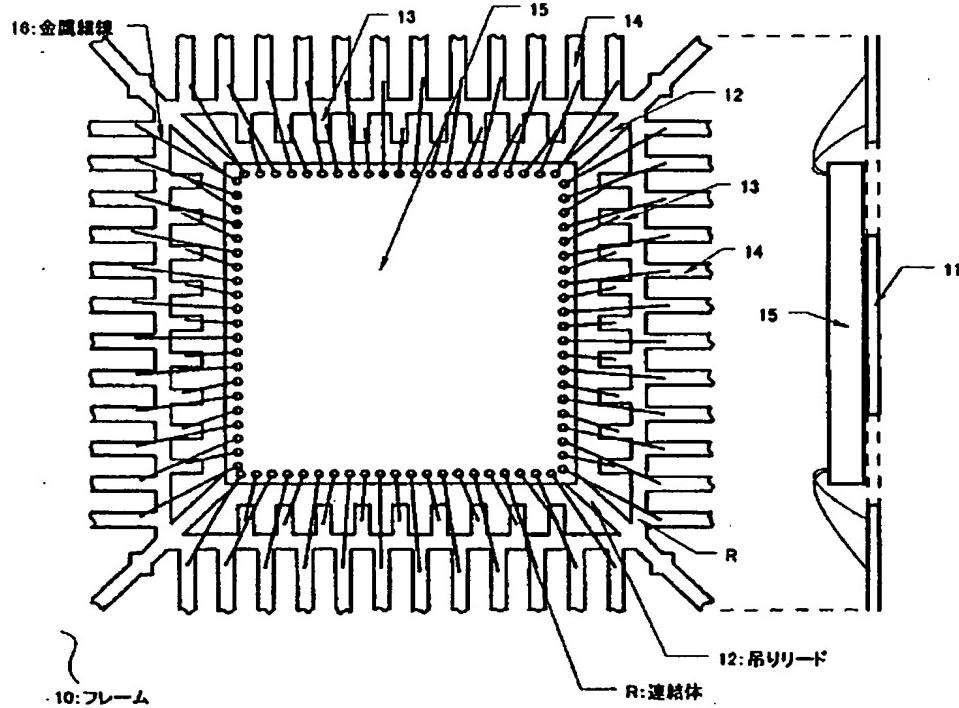
【図16】 第1の実施の形態に於いて、接続片に食いつき手段を設けた図である。

【図17】 第1の実施の形態に於いて、接続片に食いつき手段を設けた図である。

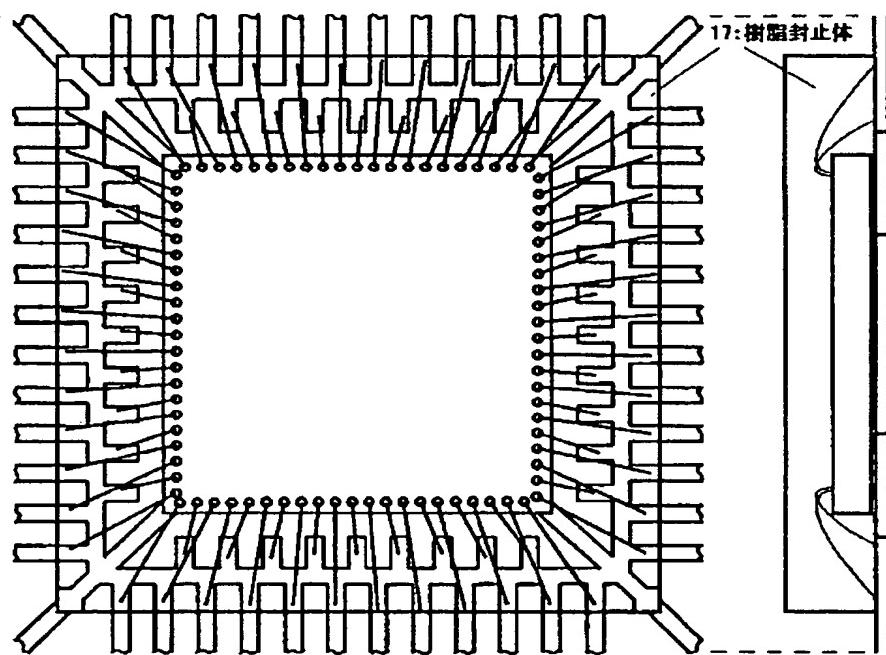
【図1】



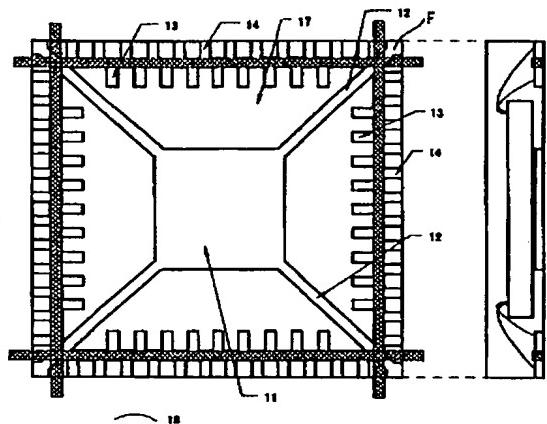
【図2】



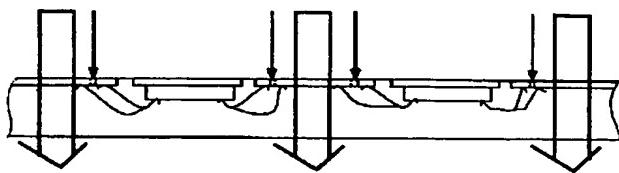
【図3】



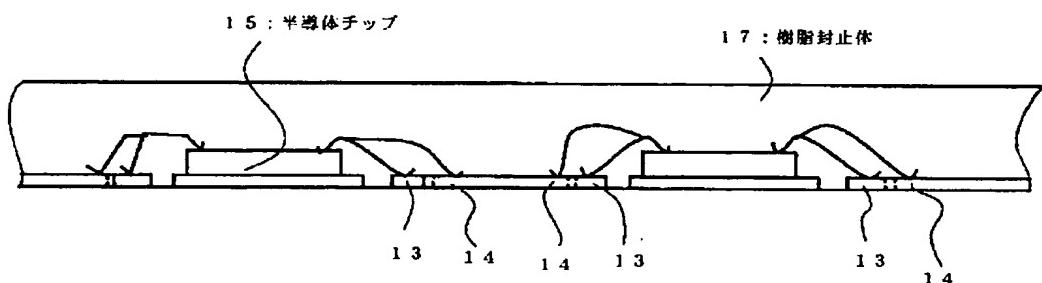
【図4】



【図6】



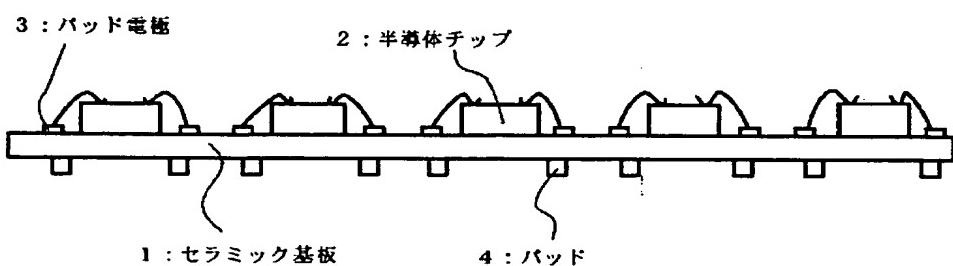
【図5】



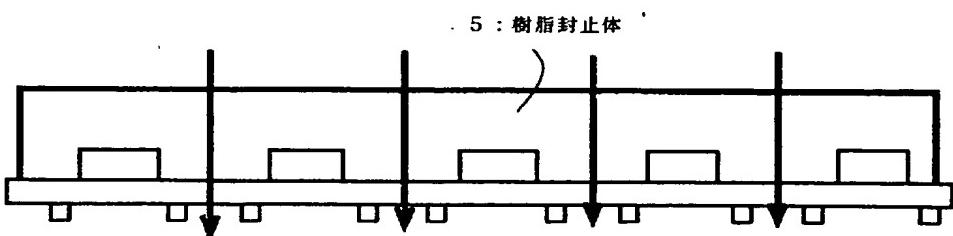
15 : 半導体チップ  
17 : 樹脂封止体

13 14 14 13 13 14

【図7】

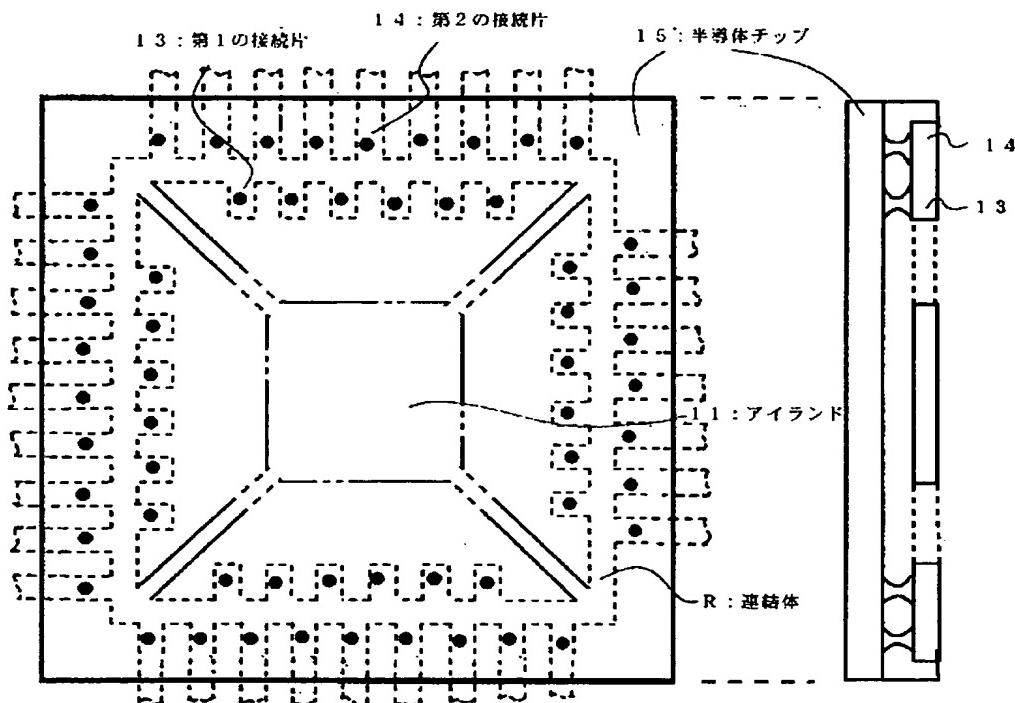


【図8】

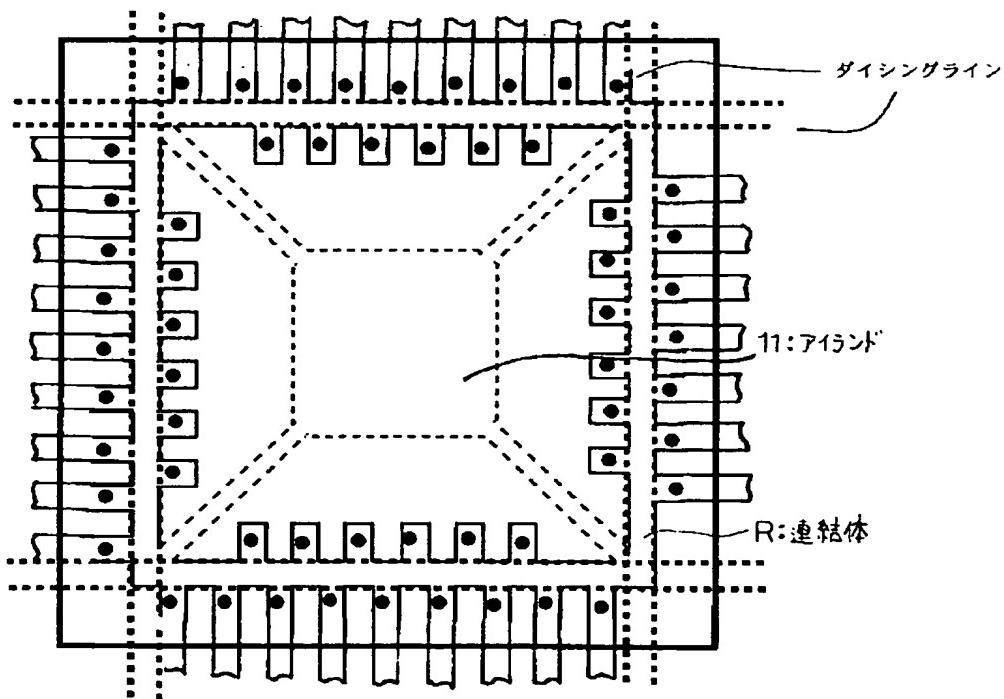


5 : 樹脂封止体

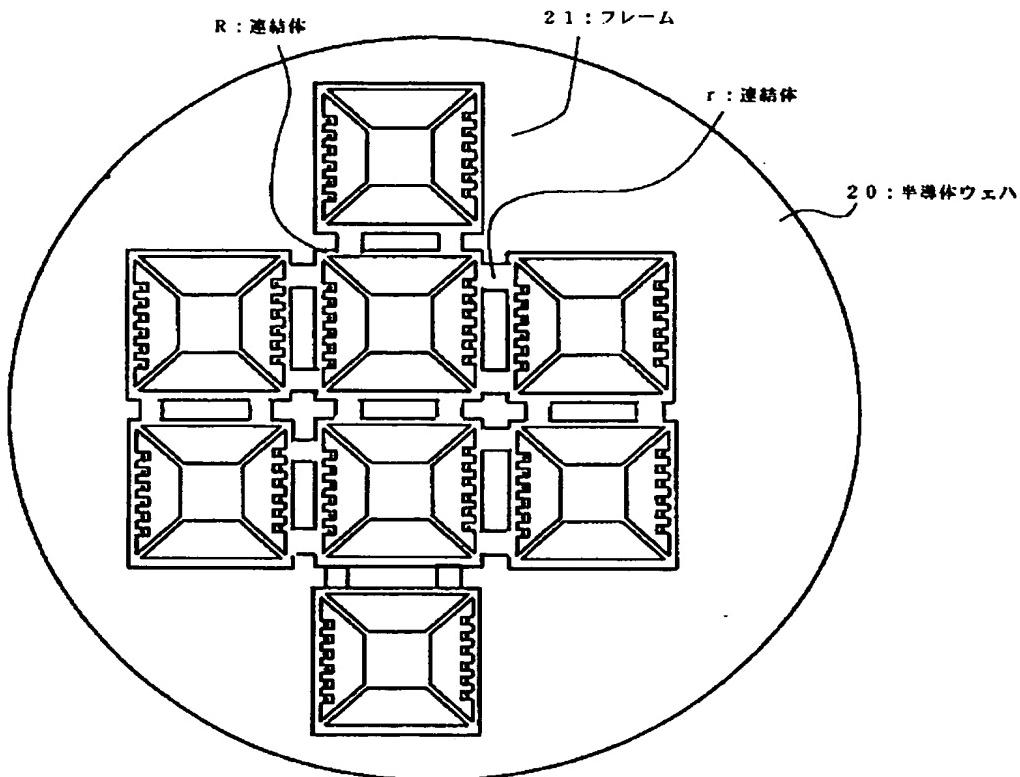
【図9】



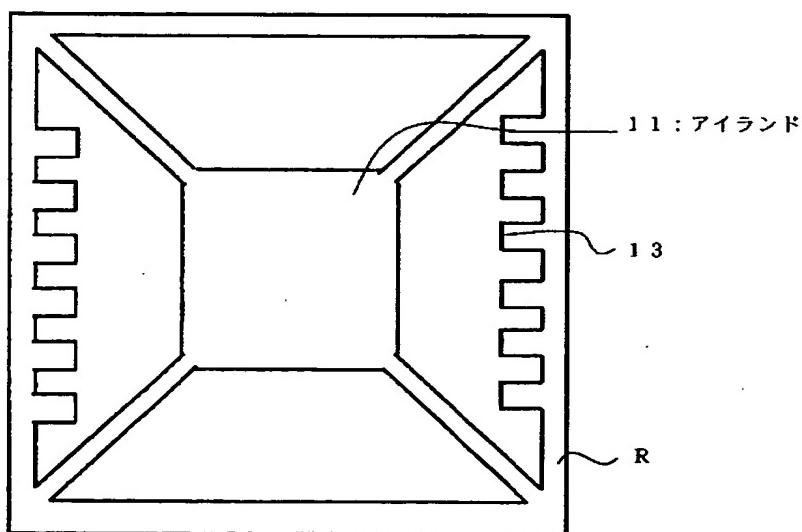
【図10】



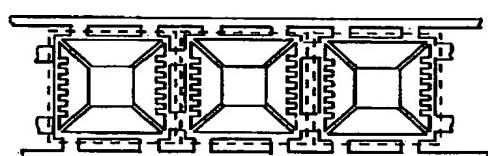
【図11】



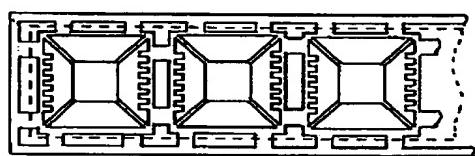
【図12】



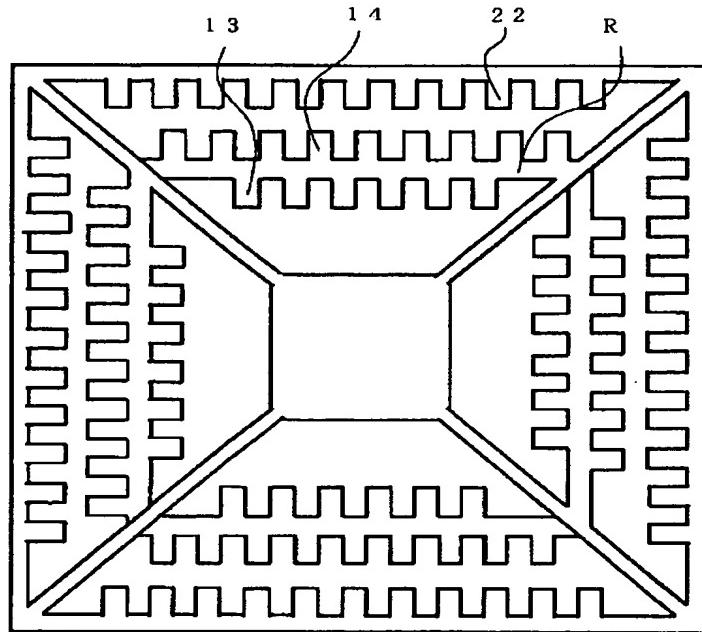
【図14】



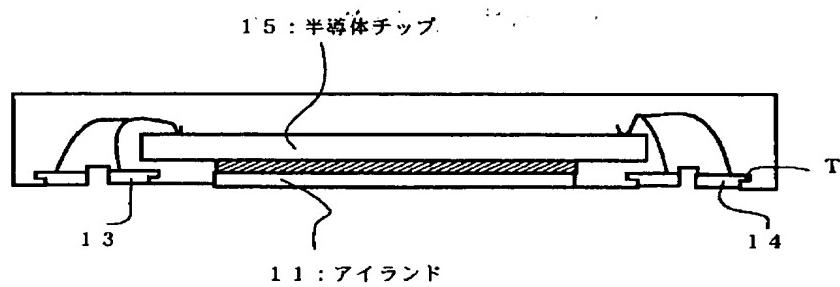
【図15】



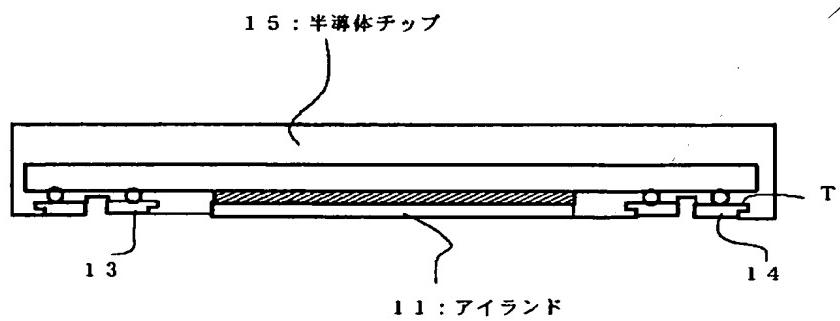
【図13】



【図16】



【図17】



**THIS PAGE BLANK (USPTO)**